



JORNADAS DE JÓVENES INVESTIGADORES DE LA A.U.G.M.

“CIENCIA Y TECNOLOGÍA PARA LA INTEGRACIÓN REGIONAL”

Universidad: Universidad Nacional de La Plata
Facultad/Instituto/Centro,etc: CeTAD (Centro de Técnicas Analógico-Digitales)
Departamento Cátedra:
Curso de Posgrado (si fuera necesario)
Dirección: Facultad de Ingeniería, Depto. de Electrotecnia, Calle 48 y 116, La Plata (1900), Pcia. de Bs. As., Argentina.
Teléfono: +54 221 4227628 Fax: E-mail: guillegastaldi@hotmail.com
Autor: Guillermo Gastaldi, José A. Rapallini y Antonio A Quijano
Título: Codiseño hardware/software para la implementación de un sistema de medida de impedancia.
Núcleo Disciplinario o Comité Académico
Otros miembros del grupo (si fuera necesario):
Palabra Clave: Codiseño Hardware/Software, implementación de sistemas de medida.
(Español) (Portugués)



Codiseño hardware/software para la implementación de un sistema de medida de impedancia

Guillermo Gastaldi
guillegastaldi@hotmail.com

José A. Rapallini
josrap@ing.unlp.edu.ar

Héctor. O. Pascual
hpascual@volta.ing.unlp.edu.ar

CeTAD (*), Dto. Electrotecnia, Facultad de Ingeniería, Univ. Nacional de La Plata, 1900, La Plata, Argentina.

Resumen:

El objetivo del presente trabajo es describir la metodología de Codiseño Hardware/Software aplicada al desarrollo de un sistema de medida digital de impedancia en tiempo real.

En esta etapa, razón de esta presentación, se utilizarán herramientas de software para simulación en tiempo real y realizar la simulación funcional del sistema, para pasar a una etapa posterior, en donde se estudiará sobre el mismo ambiente de desarrollo la posibilidad de realizar la partición y síntesis del sistema.

Palabras claves: Codiseño Hardware/Software, implementación de sistemas de medida.

1. Introducción

Un sistema de medida de impedancia, correspondiente a una frecuencia determinada (50 Hz), tiene aplicación en protecciones de sistemas eléctricos [12], las mismas tienen como objeto detectar las fallas de cortocircuitos y separar a través de los interruptores correspondientes la parte del sistema fallado.

El cálculo de la impedancia se basa en el cociente de los fasores de tensión y corriente a la frecuencia deseada y para tal se utiliza el filtro de Fourier

2. Metodología del diseño del sistema.

El proceso de diseño se basará en la filosofía de Codiseño Hardware/Software, en la cual el sistema es concebido como un todo, a diferencia del proceso del diseño tradicional, donde generalmente se desarrolla el hardware y posteriormente se adapta el software a ese diseño, lo cual en muchas oportunidades resulta ineficiente.

*Director: A. A. Quijano

Las estrategias de Codiseño pueden aplicarse en diferentes niveles de desarrollo:

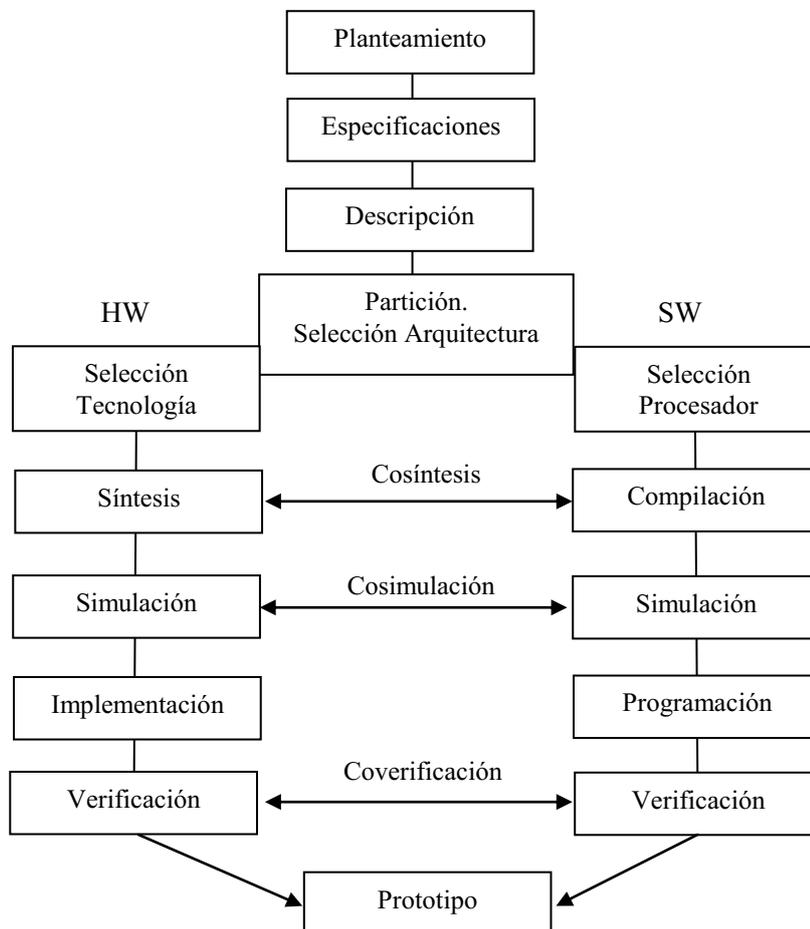
1-Diseño de ASIPs: en este tipo de sistemas se puede desarrollar un procesador de aplicación específica optimizado, diseñando el hardware en el cual se ejecutan las instrucciones, y los programas para la aplicación.

2-Diseño a nivel sistemas: en este nivel, un algoritmo, que especifica el funcionamiento de un sistema, puede partitionarse entre hardware específico y software corriendo en componentes programables. El hardware incluirá componentes discretos, ASICs, DSPs, microcontroladores, e incluso placas de adquisición como un subsistema del sistema.

3-Diseño de sistemas distribuidos: a este nivel, el Codiseño consiste en mapear un sistema con cierta funcionalidad, a diferentes procesadores interconectados.

Un ideal del Codiseño es realizar descripciones y fases de diseño homogéneas, independientes de la implementación de cada módulo y a la arquitectura del sistema. En la mayor parte de los casos contemplar todas las implementaciones posibles no es viable desde el punto de vista económico y de tiempo del diseño, con lo cual deberá restringirse el dominio de posibles implementaciones.

El proceso de Codiseño HW/SW puede ser esquematizado como sigue:



Las fases del proceso, mencionadas en el diagrama anterior son:

- Planteamiento: corresponde a los deseos del usuario o planteamiento de un problema.
- Especificaciones, restricciones: se extrae un conjunto de especificaciones que determinan la operación funcional, entradas, salidas e interfase del sistema con el medio de operación. Además se complementa con restricciones que limitan las posibilidades de diseño. Este tipo de restricciones corresponde a variables físicas y de operación real del sistema, tales como: velocidad, consumo de potencia, tiempos de diseño, costo, etc.
- Descripción: corresponde al modelaje del problema, empleando técnicas de descripción o entrada de diseño sobre las herramientas disponibles, haciendo en lo posible una descripción independiente de la implementación.
- Simulación funcional: con herramientas que soporten los modelos y descripciones de la etapa anterior, se realiza una verificación funcional, hasta obtener un modelo 100% acorde con los requerimientos.
- Partición: con el modelo en mano se procede a la selección de una arquitectura y a la asignación óptima de tareas hacia cada uno de los recursos. Es la fase de diseño mas problemática. En esta fase se seleccionan tecnologías y elementos microprocesadores a utilizar. Suelen utilizarse herramientas de software automáticas que realizan la partición teniendo en cuenta factores de calidad que se le impongan.
- Síntesis: consistirá en adaptar y transformar la descripción o modelaje en las tecnologías seleccionadas. Para mantener un control global del sistema se deberá tener en cuenta la implementación de otros módulos con los que cada módulo interactúa en el sistema, además de generar los elementos necesarios para la interfase entre módulos.
- Simulación: se valida la transformación realizada, comprobando que se ajuste a las especificaciones y restricciones iniciales.
- Implementación: adaptación de las descripciones en dispositivos configurables y / o fabricación de los circuitos integrados necesarios. En software consiste en la programación de las tareas sobre los recursos de memoria de los elementos microprocesadores de la arquitectura.
- Verificación: corresponde a una integración real de los módulos hardware y de los módulos software para validar su operación y generar un prototipo.

3. Desarrollo del trabajo

Se propone el esquema de la Fig. 1 para comenzar con el proceso de diseño del sistema embebido, con el mismo se define el *documento de requisitos*: la funcionalidad del sistema y su interacción con el entorno, así como otras características.

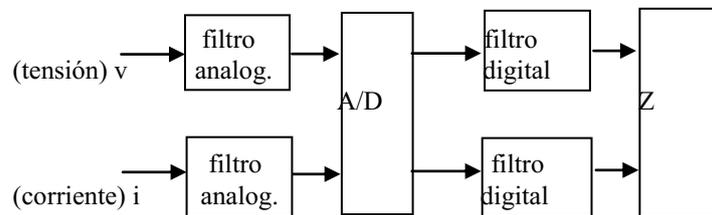


Fig. 1

Con el objeto de extraer información, en tiempo real, de una componente de frecuencia determinada de una señal inmersa en ruido (como es el caso de la componente fundamental del sistema eléctrico de 50 Hz, cuando se produce una falla del mismo), y de esta manera poder identificar la impedancia correspondiente a esta frecuencia, se realiza el *diseño funcional* a través de simulaciones en MATLAB y Simulink para dar como resultado las especificaciones de los filtros digitales, que determinarán las características del resto del circuito.

Considerando el análisis de los filtros desarrollado en un trabajo anterior [12], y con el objeto de obtener los fasores de tensión y corriente para el cálculo de la impedancia aparente (proporcional a la longitud de la línea al punto en el que se produjo la falla), y teniendo en cuenta el *diseño funcional* se obtienen las siguientes características principales del sistema:

- i) El filtro digital a ser utilizado será un filtro de Fourier, para los cuales la ventana de datos corresponderá a un ciclo de la frecuencia fundamental de la red (50 Hz).
- ii) La frecuencia de muestreo será de 1600 muestras/seg. ($N_c=32$ muestras/ciclo).
- iii) El filtro analógico anti-aliasing corresponderá a un filtro de Butterworth de 2° orden, con frecuencia de corte de 400 Hz.

Los algoritmos de filtrado digital a ser utilizados son de respuesta impulsional finita (FIR) y su implementación se basa en la ecuación (1), de tal forma que si se consideran N_c muestras de la señal de entrada (32 muestras) se puede escribir:

$$y(n) = \sum_{k=0}^{N_c-1} b_k x(n-k) \quad (1)$$

donde: $x(n)$ representa la señal de entrada de tensión o corriente, $y(n)$ corresponde a la salida y b_k es el conjunto de coeficientes del filtro que se obtienen de (2) y (3) y (4) en el caso del filtro de Fourier.

$$b_k = h_c(k) + j \cdot h_s(k) \quad (2)$$

$$h_c(k) = \frac{2}{N_c} \cdot \cos\left(2 \cdot \pi \cdot \frac{N_c - 1 - k}{N_c}\right) \quad (3) \quad h_s(k) = -\frac{2}{N_c} \cdot \text{sen}\left(2 \cdot \pi \cdot \frac{N_c - 1 - k}{N_c}\right) \quad (4)$$

Obsérvese que la salida del filtro de Fourier es una señal compleja, la cual determinará el valor del fasor de la señal de entrada:

$$y(n) = y_r(n) + j \cdot y_i(n) = \sum_{k=0}^{N_c-1} h_c(k) x(n-k) + j \cdot \sum_{k=0}^{N_c-1} h_s(k) x(n-k) \quad (5)$$

La representación en forma polar del fasor correspondiente estará dada por (6) y (7).

$$|y(n)| = \sqrt{y_r(n)^2 + y_i(n)^2} \quad (6) \quad \varphi = \arctg\left(\frac{y_i(n)}{y_r(n)}\right) \quad (7)$$

Con los resultados obtenidos en la simulación funcional se estudiarán las herramientas MATLAB, Simulink y Real Time Windows Target, que permite adquirir señales mediante una placa de adquisición, procesar dichas señales a tiempo real, observarlas en el entorno Simulink y/o guardarlas en un archivo, y luego enviar la información al exterior vía la placa de adquisición, para la partición y síntesis del sistema.

4. Conclusiones

El Codiseño HW/SW permite optimizar un diseño particionando el sistema en componentes hardware y algoritmos software, considerando determinados factores de calidad. A diferencia del diseño tradicional, se parte de una especificación y se diseña de forma independiente a la arquitectura y posterior implementación del sistema. Sin embargo, surgen comúnmente limitaciones debido a indisponibilidad de herramientas adecuadas para el desarrollo de las distintas etapas del Codiseño y a la factibilidad de realizar determinadas implementaciones por razones económicas. Llegado el caso en muchas ocasiones debe realizarse el particionamiento en forma manual. Dentro de este contexto se ha encontrado en MATLAB, junto con Simulink y Real Time Windows Target, a una herramienta útil para la etapa de diseño y especificación del

sistema. En etapas sucesivas se analizará la posibilidad de usar el mismo entorno para realizar la partición y posterior síntesis del sistema.

5. Referencias

- [1] Arun G. Phadke and James S. Thorp, *Computer Relaying for Power Systems*, Research Studies Press LTD., 1988.
- [2] Díaz I., Altuve H., Vázquez E., "Evaluación de filtros digitales de Fourier, seno y coseno para protección de distancia," *Memorias del V Seminario Técnico de Protección y Control*, Curitiba, Paraná, Brasil, 28 de Agosto al 1 de septiembre de 1995.
- [3] Díaz I., Altuve H., Vázquez E., "Estudio comparativo de filtros analógicos pasabajos para relevadores digitales de distancia," *VIII Reunión de Verano de Potencia del IEEE Sección México*, Acapulco, Gro., Julio de 1995.
- [4] Altuve H., Vázquez E., Lorenzo J., Martínez A., "Efecto de las funciones de ponderación de ventana sobre los filtros digitales para relevadores de distancia," *Memoria Técnica del II Simposio Iberoamericano sobre Protección de Sistemas Eléctricos de Potencia*, Monterrey, N.L., Noviembre de 1993, pp. 215-224.
- [5] John G. Proakis y Dimitris G. Manolakis, *Tratamiento digital de señales*, Prentice-Hall, 1998.
- [6] Alan V. Oppenheim and Ronald W. Schaffer, *Discrete-Time Signal Processing*, Prentice-Hall, 1989.
- [7] Alan V. Oppenheim y Alan S. Willsky, *Señales y Sistemas*, Prentice-Hall Hispanoamericana, 1983.
- [8] Wolf, Wayne. "Hardware-Software Co-Design of Embedded Systems". *Proceedings of the IEEE*, Vol. 82, No 7, July 1994, pp. 967-989.
- [9] Antonio García Rozo (compilador), *Sistemas Digitales*, CYTED, Colombia, 1999.
- [10] Ceballos J. L., Villagarcía H., Quijano A. A., "Filtros de anti-alias y de suavizado para sistemas de capacidades conmutadas," *VI Workshop IBERCHIP*, San Pablo, Brasil, Marzo de 2000.
- [11] Pascual H. O., *Comportamiento estable y transitorio de los algoritmos de Fourier, Coseno y Seno para ser usados en protecciones digitales de impedancia, considerando el efecto que provoca la saturación de un transductor magnético de corriente*, Informe Técnico N°: 4.00, Rev: 0, Dto. Electrotecnia, Facultad de Ingeniería, UNLP, Septiembre de 2000.
- [12] Pascual H. O., Rapallini José A., Quijano Antonio A., "Implementación de un sistema de medida de impedancia para redes eléctricas en tiempo real," *VII Workshop IBERCHIP IWS'2001*, Montevideo, Uruguay, Marzo de 2001.
- [13] CYTED, "Sistemas Digitales. Elementos para un diseño a alto nivel."