

**C6 – Sistema de distribución y generación dispersa****Métodos de estimación de sincrofasores. Análisis, evaluación e implementación en entorno de simulación y en hardware.**

P.E. LEIBOVICH*
IITREE-FI-UNLP
Argentina

F. ISSOURIBEHERE
IITREE-FI-UNLP
Argentina

J.C. BARBERO
IITREE-FI-UNLP
Argentina

Resumen – Este trabajo presenta una descripción y análisis del desempeño de dos algoritmos de estimación de sincrofasores propuestos en la literatura afín. En una implementación real de los mismos, se efectúa un análisis comparativo del desempeño en términos del error teórico de los métodos de estimación. Ambos algoritmos fueron implementados bajo una arquitectura de hardware de bajo costo propuesta para tal fin, con el objetivo de evidenciar los errores inherentes a los métodos de estimación y los errores debidos a factores externos como ruido, error de cuantización y fluctuación de la frecuencia de muestreo. Para realizar el estudio de los algoritmos, se realizaron pruebas bajo condiciones de estado estacionario y bajo condiciones dinámicas. Dichas pruebas se llevaron a cabo según las condiciones especificadas en la norma IEEE C37.118.1-2011 y el error vectorial total obtenido fue utilizado como parámetro de desempeño. La selección de los métodos analizados se realizó a partir de la naturaleza de los mismos, dado que uno de ellos se basa en un análisis en el dominio de la frecuencia utilizando la Transformada Discreta de Fourier Interpolada, mientras que el restante se basa en un análisis en el dominio del tiempo, implementando conversión de frecuencia y filtros pasa bajos del tipo FIR.

Palabras clave: Análisis de errores – Unidad de medición fasorial – Procesamiento de señales – Sincrofasor

1 INTRODUCCIÓN

En sistemas de potencia interconectados de alcance regional o nacional, redes inteligentes y otros grandes sistemas de potencia, la confiabilidad es el principal objetivo de sus administradores. Para ello, la amplitud, fase y frecuencia de tensiones y corrientes deben ser medidas para monitorear, proteger y controlar el sistema [1].

Históricamente, el sistema de Supervisión, Control y Adquisición de Datos (SCADA, por sus siglas en inglés) fue el más utilizado para proveer dichas mediciones, correspondientes al estado estacionario del sistema. Sin embargo, para monitorear comportamientos dinámicos de sistemas de área amplia, el sistema SCADA tiene importantes limitaciones debido a su escasa resolución temporal y su alta latencia. Es por ello que, para obtener mediciones con baja latencia y altas tasas de transmisión de datos, se utilizan las Unidades de Medición Fasorial (PMU, por sus siglas en inglés).

Una PMU es un dispositivo que provee mediciones de fasores instantáneos del sistema, relacionados a la ubicación geográfica donde se encuentra instalada la misma. Dichos fasores se encuentran sincronizados a través del Tiempo Universal Coordinado (UTC, por sus siglas en inglés), de manera tal que todas las mediciones disponen de una sincronización y referencia temporal en común con cualquier otra PMU instalada en diferentes ubicaciones. Es por ello que los fasores obtenidos son denominados sincrofasores. Para definir la precisión y características requeridas de los mismos, los principales parámetros de las PMUs se encuentran definidos en la norma IEEE Standard C37.118.1-2011 [2] y sus modificaciones, que será referida como “la norma” a lo largo del presente trabajo.

* P.E. Leibovich, IITREE-FI-UNLP, calle 48 y 116, B1900AMF, La Plata, Argentina – pablolleibo@iitree-unlp.org.ar

Existen diferentes técnicas de estimación de sincrofasores propuestas y evaluadas en la implementación de PMUs de última tecnología. Dichas técnicas pueden ser clasificadas según el dominio donde se realiza la estimación, dividiéndose en técnicas en el dominio del tiempo y técnicas en el dominio de la frecuencia [3].

Las técnicas de estimación en el dominio temporal se apoyan en el análisis de las muestras de señal, basando su implementación en conversores de frecuencia y filtros junto a otros algoritmos de procesamiento para la obtención de los fasores. Este tipo de análisis es propuesto por la norma como referencia de un modelo de procesamiento. Las técnicas en el dominio de la frecuencia se basan en diferentes variantes de la Transformada Discreta de Fourier (TDF), procesada a través de la Transformada Rápida de Fourier (FFT, por sus siglas en inglés). Este procesamiento se realiza sobre un conjunto de muestras de señal, representando medio ciclo, un ciclo o múltiples ciclos de la forma de onda correspondiente.

En el presente trabajo, dos métodos de estimación de sincrofasores para la medición de tensiones y corrientes en sistemas trifásicos fueron simulados y comparados. Uno de ellos, correspondiente a un análisis en el dominio del tiempo, se basa en el esquema descrito en la norma y en lo que sigue será referido como “*Algoritmo de filtrado*”. El restante, correspondiente a un análisis en el dominio de la frecuencia, se basa en la aplicación de la TDF Interpolada presentada en [4] y en adelante se lo menciona como “*Algoritmo basado en FFT*”.

Estos algoritmos fueron implementados en hardware real teniendo en cuenta los efectos del muestreo de señal y los errores de cuantización. Los resultados obtenidos se comparan en términos del Error Vectorial Total. La comparación muestra, además, la sensibilidad de los algoritmos implementados a errores externos como fluctuación de la frecuencia de muestreo y otros problemas típicos de la implementación real de sistemas digitales de medición.

2 TÉCNICAS DE ESTIMACIÓN DE SINCRFASORES

2.1 Algoritmo basado en FFT

La técnica de estimación en el dominio de la frecuencia utilizada en este trabajo se basa en el algoritmo descrito en [4]. La tensión en un nodo del sistema de potencia puede ser modelada como una señal sinusoidal con una frecuencia nominal f_n (por ejemplo 50 o 60 Hz) y una desviación de frecuencia Δf , un valor eficaz A y una fase inicial φ . Dicha señal es muestreada por la PMU con una frecuencia de muestreo fija f_s múltiplo de f_n , obteniéndose una cantidad N de muestras durante una ventana temporal $T = N/f_s$ ($N \in \mathbb{N}$). El ancho T de la ventana temporal debe ser lo suficientemente grande como para obtener una buena resolución en frecuencia y lo suficientemente chico como para poder considerar a la señal en estado estacionario a lo largo de dicho período temporal.

$$v[n] = \sqrt{2} A \cos \left[2\pi (f_n + \Delta f) \frac{n}{f_s} + \varphi \right], \quad n \in [0, N-1] \quad (\text{Ec.1})$$

Normalmente, el ancho T de la ventana temporal corresponde a uno o dos ciclos nominales de la señal procesada. El algoritmo, entonces, supone que la desviación de frecuencia Δf satisface la condición expresada en la Ec. 2, donde δ_f es la resolución en frecuencia de la TDF.

$$|\Delta f| < \delta_f / 2, \quad \delta_f = 1/T \quad (\text{Ec.2})$$

Con las consideraciones descriptas anteriormente, la Ec. 3 corresponde a la TDF de la señal muestreada, donde $w[n]$ es la ventana utilizada para reducir la fuga espectral. En este caso, se utiliza la ventana de Hanning.

$$V[k] = \sum_{n=0}^{N-1} v[n] \cdot w[n] \cdot e^{-j \frac{2nk\pi}{N}}, \quad k \in [0, N-1] \quad (\text{Ec.3})$$

Para realizar la estimación de la amplitud y fase de la señal, la TDF interpolada requiere, primero, estimar la frecuencia de la señal mediante la interpolación de la amplitud de las muestras de la TDF o *bins*. Dicha interpolación se realiza teniendo en cuenta la suposición de la Ec. 2 y una frecuencia de muestreo f_s múltiplo de f_n . La frecuencia real de la señal $f_n + \Delta f$ puede corresponder a un valor de frecuencia intermedio entre dos bins de la TDF, donde uno de ellos corresponde a la frecuencia nominal de la señal. De esta manera, la frecuencia real puede ser expresada como:

$$f_n + \Delta f = (k_1 + \delta_{bin}) \delta_f \quad (\text{Ec.4})$$

donde $-0.5 < \delta_{bin} \leq 0.5$ es la desviación respecto al bin de frecuencia nominal cuyo índice resulta $k_1 = T f_s$. Si la frecuencia de muestreo f_s es mucho mayor que la frecuencia nominal de la señal, δ_{bin} puede ser expresado como se indica en la Ec. 5:

$$\delta_{bin} = \varepsilon(2 - \alpha)/(1 + \alpha) \quad (\text{Ec.5})$$

donde α es el cociente entre la amplitud del bin de frecuencia nominal (cuyo índice es k_1), que es esperable sea el de mayor amplitud de la TDF, y el segundo bin de mayor amplitud:

$$\alpha = |V[k_1]| / |V[k_1 + \varepsilon]| \quad (\text{Ec.6})$$

ε puede ser +1 ó -1, estableciendo el segundo bin de mayor amplitud:

$$\alpha = \text{signo}(|V[k_1 + 1]|) - \text{signo}(|V[k_1 - 1]|) \quad (\text{Ec.7})$$

Con los parámetros antes descritos, la amplitud y fase del sincrofasor pueden ser estimadas con las siguientes expresiones.

$$A = 2/(N/2) \cdot |V[k_1]| \pi \delta_{bin} (1 - \delta_{bin}^2) / \text{sen}(\pi \delta_{bin}) \quad (\text{Ec.8})$$

$$\varphi = |V[k_1]| - \pi \delta_{bin} \quad (\text{Ec.9})$$

Para la estimación final de frecuencia, se utiliza la estimación de secuencia directa del sistema trifásico. Siendo D la componente de secuencia directa, la desviación de frecuencia se puede estimar con la Ec. 10.

$$\Delta f = (|D[n]| - |D[n-1]|) f_n / 2\pi \quad (\text{Ec.10})$$

2.2 Algoritmo de filtrado

La norma IEEE C37.118.1 [2] propone un método de estimación de sincrofasores correspondiente al dominio temporal basado en convertidores de frecuencia, filtros y una frecuencia de muestreo fija f_s . Cada señal es muestreada y digitalizada mediante un convertor analógico-digital. Tal como se describió en el caso del Algoritmo basado en FFT, la tensión, muestreada con una frecuencia de muestreo fija f_s múltiplo de la frecuencia nominal f_n , puede ser modelada mediante la Ec. 1.

La conversión de frecuencia de las señales muestreadas se realiza con un oscilador local en fase y cuadratura cuya frecuencia es, también, f_n . Las señales obtenidas se corresponden con las Ecs. 11 y 12.

$$v_p[n] = \frac{A}{\sqrt{2}} \left[\cos\left(2\pi\Delta f \frac{n}{f_s} + \varphi\right) + \cos\left(2\pi(2f_n + \Delta f) \frac{n}{f_s} + \varphi\right) \right] \quad (\text{Ec.11})$$

$$v_q[n] = \frac{A}{\sqrt{2}} \left[\text{sen}\left(2\pi(2f_n + \Delta f) \frac{n}{f_s} + \varphi\right) - \text{sen}\left(2\pi\Delta f \frac{n}{f_s} + \varphi\right) \right] \quad (\text{Ec.12})$$

El conjunto de muestras resultante de la conversión es filtrado mediante un filtro pasa bajos digital de tipo FIR, obteniéndose la parte real e imaginaria del sincrofasor. La norma define el filtro pasa bajos que puede ser utilizado para una PMU de clase P [2]. Si se obtienen N muestras por ciclo de la señal con frecuencia nominal, el filtro corresponde a un filtro FIR de orden N cuyos coeficientes responden a la expresión de la Ec. 13, donde m es el índice del coeficiente.

$$W[m] = 1 - \frac{2}{N+2} |m|, \quad m \in [-N/2, N/2] \quad (\text{Ec.13})$$

En la Fig. 1 se observa un diagrama en bloques del sistema de procesamiento.

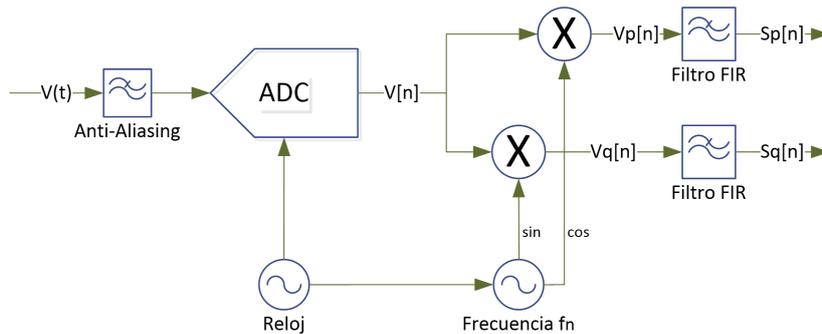


Fig. 1. Diagrama en bloques del algoritmo basado en filtrado

Tal como describe la norma, el filtro funciona correctamente para la estimación de frecuencia y fase, teniendo o no las mismas sus valores nominales. Sin embargo, la estimación de amplitud del sincrofasor debe ser compensado cuando el valor de frecuencia no es su valor nominal, debido a la respuesta propia del filtro. La norma, en consecuencia, define la Ec. 14 para realizar la estimación de amplitud, donde G es la suma de los coeficientes del filtro.

$$A = \frac{\sqrt{2}}{G} \sqrt{s_p^2 + s_q^2} \frac{2f_n}{\text{sen}(\pi(f_n + 1.625 \Delta f))} \quad (\text{Ec.14})$$

La estimación de fase puede obtenerse mediante la Ec. 15.

$$\varphi = \left| s_p + j s_q \right| \quad (\text{Ec.15})$$

Finalmente, para la estimación de frecuencia, se utiliza la estimación de secuencia directa del sistema trifásico. Siendo D la componente de secuencia directa, la desviación de frecuencia puede ser estimada según la Ec. 10.

3 SIMULACIÓN DE MÉTODOS DE ESTIMACIÓN

En la presente sección, las técnicas de estimación descritas anteriormente son simuladas y evaluadas bajo la influencia de condiciones de estado estacionario, condiciones dinámicas y otras pruebas definidas por la norma. Los algoritmos fueron desarrollados en el entorno de simulación Simulink, implementando tanto la etapa de procesamiento como la etapa de adquisición, considerando el muestreo, la conversión analógico-digital y la cuantización

Para el Algoritmo basado en FFT, la frecuencia de muestreo fue configurada en 12800 Hz, obteniéndose 256 muestras por ciclo de frecuencia nominal 50 Hz. La FFT fue procesada sobre una ventana temporal de 2 ciclos, resultando una transformada de 512 muestras. Para el Algoritmo de filtrado, se utilizó una frecuencia de muestreo de 800 Hz, obteniéndose 16 muestras por ciclo de frecuencia nominal 50 Hz. El conversor analógico-digital (ADC, por sus siglas en inglés) fue simulado con una resolución de 12 bits.

En todos los casos, el Error Vectorial Total (TVE , por sus siglas en inglés), definido en la Ec. 16 y especificado en la norma, fue utilizado para analizar y realizar comparaciones de los métodos propuestos.

$$TVE = \frac{|V_{\text{Estimado}} - V|}{|V|} \quad (\text{Ec.16})$$

donde V_{Estimado} es el sincrofasor estimado y V es el sincrofasor verdadero. Las pruebas sobre las simulaciones se realizaron durante periodos de 4 segundos, obteniendo 200 estimaciones de sincrofasores.

3.1 Condiciones de estado estacionario

Estas pruebas evalúan las técnicas de estimación cuando las tensiones tienen amplitud nominal y frecuencia en un rango de ± 2 Hz alrededor de su valor nominal. A su vez, se analiza también las técnicas aplicadas sobre señales sometidas a la influencia de armónicas simples con una amplitud del 1% de la componente fundamental de la señal. En este caso, la segunda armónica fue utilizada debido a que la misma corresponde a la peor condición para realizar la estimación. El TVE obtenido para ambas técnicas sometidas a las pruebas descritas puede observarse en la Fig. 2. La norma define que el TVE no debe superar el 1% en todos los casos analizados.

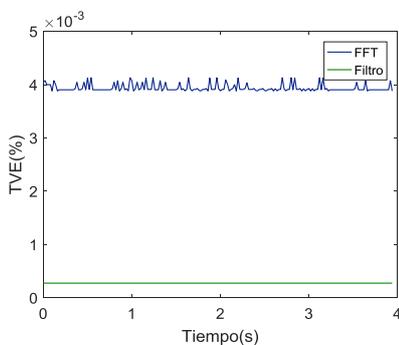


Fig. 2-(a). TVE para señal de amplitud y frecuencia nominal

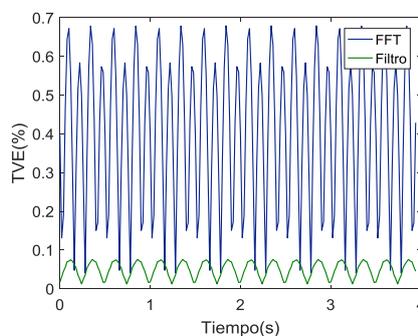


Fig. 2-(b). TVE para señal con desviación de frecuencia de -2 Hz

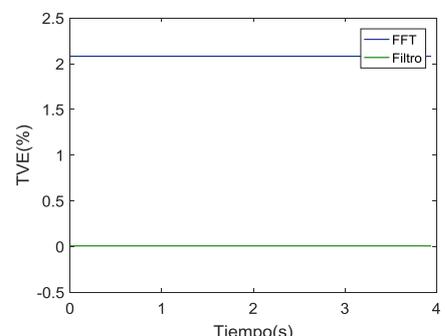


Fig. 2-(c). TVE para señal con 1% de 2^{da} armónica

3.2 Ancho de banda de medición: Modulación

En este caso, las pruebas se realizan sobre tensiones cuya amplitud y fase son moduladas por señales sinusoidales. La frecuencia de modulación fue configurada en 2 Hz, con un índice de modulación de 0,1. Las modulaciones de amplitud y fase fueron evaluadas en forma separada, según establece la norma. El *TVE* obtenido para ambos métodos en el caso de las evaluaciones descriptas se puede observar en la Fig. 3. En este caso, la norma establece que el *TVE* no debe superar el 3%.

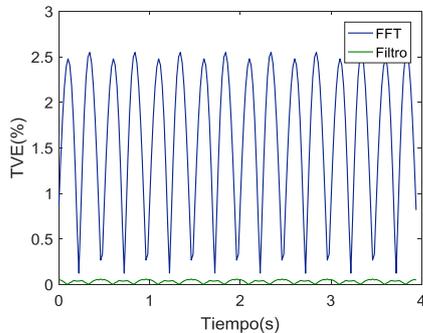


Fig. 3-(a). *TVE* para señal bajo modulación de amplitud

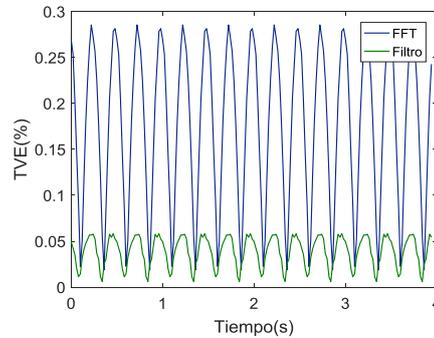


Fig. 3-(b). *TVE* para señal bajo modulación de fase

3.3 Desempeño bajo rampas de frecuencia del sistema

Las pruebas se realizaron sobre tensiones cuya frecuencia es afectada por una rampa de ± 1 Hz/s. La variación de frecuencia fue aplicada sobre todo el sistema trifásico y el rango de variación fue ± 2 Hz. El *TVE* registrado se observa en la Fig. 4. La norma establece que el *TVE* no debe superar el 1% en este caso.

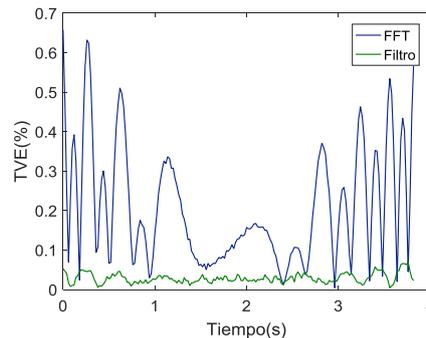


Fig. 4. *TVE* para señal bajo rampa de frecuencia de +1 Hz/s

En la Tabla I se presenta una síntesis de los resultados, considerando el máximo *TVE* obtenido en cada caso.

TABLA I. RESULTADOS DE SIMULACIÓN

Prueba		Error Vectorial Total (%)	
Tipo	Características	FFT	Filtro
A	Condiciones Nominales	0,004	0,0002
	Desviación de frecuencia -2 Hz	0,68	0,08
	Interferencia de 2 ^{da} armónica	2	0,006
B	Modulación de amplitud	2,55	0,06
	Modulación de fase	0,29	0,06
C	Rampa de frecuencia +1 Hz/s	0,65	0,07

Analizando los resultados, puede concluirse que las estimaciones obtenidas con el Algoritmo de filtrado son compatibles con el *TVE* máximo permitido para cada caso analizado. En el caso del Algoritmo basado en FFT, el *TVE* obtenido es compatible con la norma en la mayoría de los casos, excepto en el caso de la interferencia de la 2^{da} armónica.

4 IMPLEMENTACIÓN EN HARDWARE REAL

Bajo las consideraciones realizadas por los métodos propuestos, y con el objetivo de lograr resultados reales de las técnicas de estimación, las mismas fueron implementadas en hardware real para realizar el muestreo y procesamiento de las señales de manera tal de obtener los correspondientes sincrofasores. Los componentes más importantes del hardware implementado se describen a continuación.

- Microcontrolador STM32F407VG [5]. Es un microcontrolador de altas prestaciones del tipo ARMTM CortexTM-M4 desarrollado por la firma STMicroelectronics. Su arquitectura corresponde a un Computador con Conjunto de Instrucciones Reducidas (RISC) de 32 bits, operando a una frecuencia de 64 MHz. Cuenta con una unidad de punto flotante (UPF) de simple precisión utilizada para el cálculo de la FFT o el filtrado y tres conversores analógico-digitales simultáneos de aproximaciones sucesivas de 12 bits.
- Raspberry Pi Modelo 3B [6]. Es una computadora embebida de bajo costo diseñada por la fundación Raspberry Pi y está basada en un microprocesador BCM2837 con arquitectura ARMTM CortexTM-A53 funcionando a una frecuencia de 1,2 GHz.

El diseño se basa en tres conversores analógico-digitales independientes integrados en el microcontrolador STM32F407VG. Las conversiones son disparadas mediante una señal de reloj externo con la frecuencia correspondiente de manera tal que el microcontrolador muestrea y convierte simultáneamente [5] las tres señales del sistema trifásico, almacenando las muestras en un espacio de memoria destinado para cada fase. Una vez obtenidas la cantidad de muestras requeridas (256 para el Algoritmo basado en FFT y 16 para el basado en el filtrado), el microcontrolador calcula la FFT de ancho de ventana 2 ciclos o la salida del filtrado para ese conjunto de muestras.

En el caso del Algoritmo basado en FFT, el microcontrolador aplica la ventana de Hanning al conjunto de muestras y calcula la FFT. Finalmente, transmite el segundo, tercero y cuarto bin de la FFT (correspondientes a 25 Hz, 50 Hz y 75 Hz respectivamente) con sus partes real e imaginaria a la Raspberry PI mediante el Protocolo de circuitos inter-integrados (I2C) [7].

En el caso del Algoritmo basado en filtrado, el microcontrolador realiza la conversión de frecuencia de las muestras de señal, utilizando el oscilador interno correspondiente, y procesa la salida del filtrado tanto para la componente en fase como para la componente en cuadratura de cada señal. Finalmente, transmite la salida obtenida de los filtros a la Raspberry PI mediante el protocolo I2C.

En la Fig. 5 puede observarse un diagrama esquemático del sistema donde se muestran las etapas de procesamiento y las tareas realizadas por cada componente del mismo.

Una vez recibidos los datos por la Raspberry PI, la misma finaliza el procesamiento calculando todos los parámetros y estimaciones descriptas en la Sección 2. Utilizando la interfaz Ethernet integrada en la misma, la computadora embebida transmite los paquetes de datos con los resultados obtenidos.

El filtro anti-aliasing fue implementado con amplificadores operaciones bajo la configuración de filtros pasa bajos con una frecuencia de corte de 160 Hz.

En la Fig. 6 se observa la placa del microcontrolador STM32F407VG y la Raspberry PI con las conexiones correspondientes.

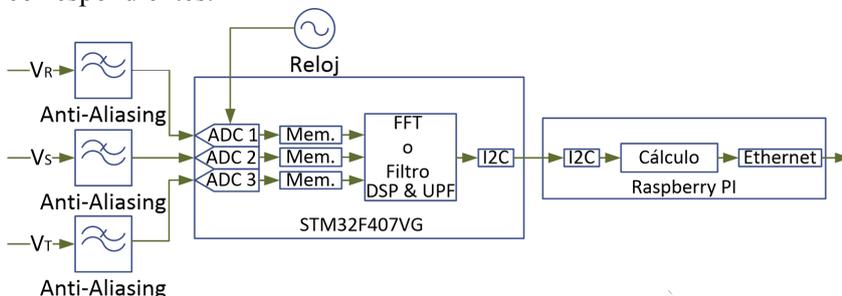


Fig. 5. Esquema del hardware de procesamiento



Fig. 6. Implementación en hardware

5 RESULTADOS EXPERIMENTALES

El hardware descrito en la sección previa fue analizado con las mismas pruebas que se realizaron sobre la simulación en el entorno Simulink. Para generar las correspondientes señales de cada ensayo, se utilizaron los conversores digital-analógico (DAC) de dos microcontroladores STM32F407VG sincronizados. Con una

señal de reloj externa de frecuencia 25600 Hz, los microcontroladores generan las formas de onda del sistema trifásico almacenadas en un espacio de memoria de los mismos.

En las Figs. 7 a 9 se observan los *TVE* obtenidos de las mismas pruebas descritas en la Sección 3. En todos los casos, excepto la rampa de frecuencia, los ensayos se realizaron durante períodos de 4 segundos obteniéndose 200 estimaciones de sincrofasores. En el caso del ensayo con rampas de frecuencia, el mismo se realizó durante 2 segundos para generar una rampa de -1 Hz/s desde 50 Hz hasta 48 Hz.

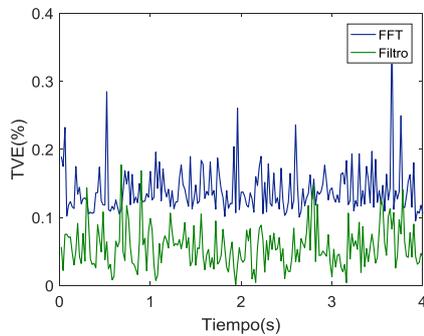


Fig. 7-(a). *TVE* para señal de amplitud y frecuencia nominal

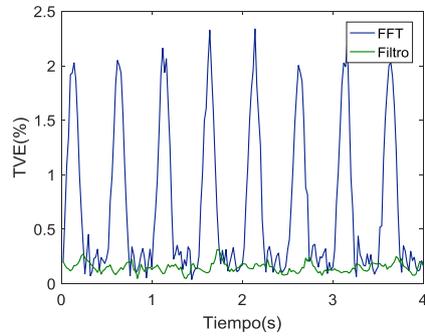


Fig. 7-(b). *TVE* para señal con desviación de frecuencia con -2 Hz

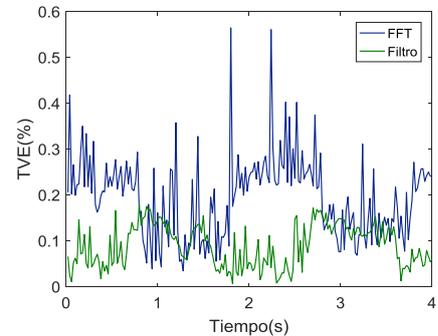


Fig. 7-(c). *TVE* para señal bajo influencia de 2^{da} armónica

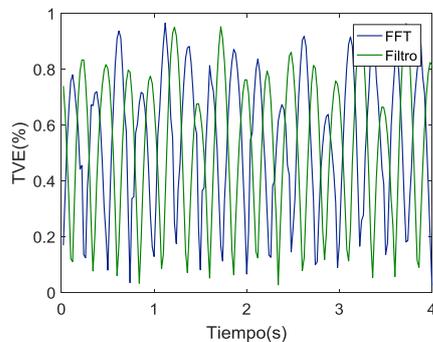


Fig. 8-(a). *TVE* para señal bajo modulación de amplitud

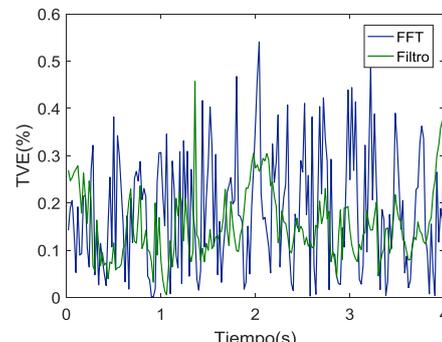


Fig. 8-(b). *TVE* para señal bajo modulación de fase

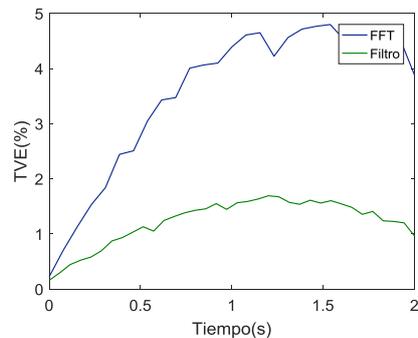


Fig. 9. *TVE* para señal bajo rampa de frecuencia de $+1$ Hz/s

Los mismos ensayos fueron realizados por períodos de 10 segundos, registrando los *TVE*. En la Tabla II se muestra una síntesis de los resultados obtenidos, considerando el máximo *TVE* registrado en cada caso. Del análisis de los resultados se puede concluir que el Algoritmo basado en filtrado es compatible con los valores máximos previstos por la norma en la mayor parte de los casos, al igual que en el caso del Algoritmo basado en FFT. Sin embargo, se registran valores no compatibles para este último caso en las pruebas con frecuencias fuera de su valor nominal.

En los ensayos para frecuencias fuera de su valor nominal, el error mayor al permitido puede deberse a la no obtención de un número entero de ciclos de señal dentro de la ventana temporal de procesamiento. Este efecto puede generar una fuga espectral que no alcanza a ser reducida por la ventana de Hanning. Sin embargo, teniendo en cuenta que dicho efecto no es detectado en las simulaciones, la más importante fuente de error puede corresponder a la fluctuación de la frecuencia de muestreo existente en el hardware real.

TABLA II. RESULTADOS EN HARDWARE REAL

Prueba		Error Vectorial Total (%)	
Tipo	Características	FFT	Filtro
A	Condiciones Nominales	0,37	0,22
	Desviación de frecuencia -2 Hz	2,34	0,35
	Interferencia de 2 ^{da} armónica	0,57	0,36
B	Modulación de amplitud	0,98	0,96
	Modulación de fase	0,65	0,45
C	Rampa de frecuencia +1 Hz/s	4,80	1,69

El tercer factor de error corresponde al método de generación de las señales de prueba, cuya frecuencia de muestreo es el doble de la frecuencia de muestreo del sistema de procesamiento. Si se produce una fluctuación en la frecuencia de muestreo de generación, la señal generada no estará en estado estacionario con la frecuencia deseada de manera tal que el algoritmo no arrojará los resultados esperados. Este efecto también permite explicar el *TVE* fuera de los límites previstos que se observa en el ensayo de rampa de frecuencia realizado sobre ambos métodos de procesamiento.

Como puede observarse, un error en la frecuencia de muestreo puede provocar grandes errores en los algoritmos de procesamiento, siendo el Algoritmo basado en FFT mucho más sensible a dichos efectos. La mayor sensibilidad de este método puede ser explicada en base a la alta frecuencia de muestreo que requiere, aumentando entonces la sensibilidad a fluctuaciones de la misma.

6 CONCLUSIONES

En este trabajo se efectuó una comparación teórica y práctica entre dos métodos de estimación de sincrofasores. Los algoritmos empleados abarcan los dos grandes tipos existentes, y permitieron poner en evidencia las ventajas y desventajas de cada uno. Además se describió, por un lado, el procedimiento de medición de fasores, mostrando la incidencia de parámetros reales tales como frecuencias de muestreo, longitudes de ventanas de procesamiento, etc., y por otra parte se describió también cómo realizar la implementación de ambos algoritmos y los resultados que pueden obtenerse en una aplicación real.

Las simulaciones implementadas tuvieron en cuenta los algoritmos utilizados y los errores de cuantización provocados por la conversión analógico-digital.

La implementación del hardware de medición se basó en una arquitectura de bajo costo, lo cual demuestra que la tecnología actual de microcontroladores y sistemas embebidos también tiene aplicación en sistemas de medición de fasorial. En base al hardware diseñado, se realizaron análisis de características relevantes de las técnicas de estimación propuestas.

Si bien ambos métodos de estimación bajo estudio mostraron resultados similares en su implementación en hardware real en la mayoría de los casos, una comparación rigurosa entre ambas técnicas puso en evidencia una mayor sensibilidad a factores externos de error tales como ruido, redondeo de la unidad embebida de punto flotante e interferencia de armónicas, en el algoritmo basado en FFT con respecto al basado en filtrado.

7 REFERENCIAS

- [1] A. G. Phadke and J.S. Thorp, *Synchronized Phasor Measurements and Their Applications*. New York: Springer, 2008.
- [2] *IEEE Standard for Synchrophasor Measurements for Power Systems*. IEEE Std. C37.118.1. Dec, 2011.
- [3] A. Monti, C. Muscas and F. Ponci, *Phasor Measurement Units and Wide Area Monitoring Systems*. London: Elsevier, 2016.
- [4] P. Romano and M. Paolone, "Enhanced Interpolated-DFT for Synchrophasor Estimation in FPGAs: Theory, Implementation, and Validation of a PMU Prototype", *IEEE Trans. on instrumentation and measurement*, vol. 63, No. 12, Dec. 2014.
- [5] STMicroelectronics, "STM32F405/415, STM32F407/417, STM32F427/437 and STM32F429/439 advanced ARM®-based 32-bit MCUs Reference Manual", Rev 13, Sep. 2016.
- [6] Raspberry Pi Web Site, <https://www.raspberrypi.org/learning/hardware-guide/>
- [7] Broadcom Corporation, "BCM2835 ARM Peripherals", Feb. 2012.